



## 저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

CMOS RF 광대역 고효율  
선형 전력증폭기 구조에 관한 연구

A Study on a Broadband and High-Efficient  
Structure for CMOS RF Linear Power Amplifier

2013 년 2 월

서울대학교 대학원

전기 컴퓨터 공학부

고재용

# 초록

## CMOS RF 광대역 고효율 선형 전력증폭기 구조에 관한 연구

서울대학교 대학원

전기 컴퓨터 공학부

고재용

본 논문은 광대역 전력 증폭기와 고효율 전력 증폭기의 설계에 관한 것이다. 많은 표준화 노력에도 불구하고 세계 각국에서 사용되는 통신방식은 통일되지 못하였고 사용하는 주파수 대역 또한 다르다. 오늘날 무선 이동 통신 기술이 WCDMA를 거쳐 LTE로 진화함에 따라, 고속의 데이터 전송을 위해 OFDM등과 같은 PAPR이 큰 변조 방식의 사용을 필요로 한다. 더불어, 단말기의 제작비용을 줄이고 사용시간을 늘리기 위해서는

높은 집적도와 전력 효율을 갖는 RF 송/수신 회로가 요구된다. 이와 같은 다중대역 다중모드를 지원하는 고효율의 단일 전력 증폭기 개발의 필요성이 증대되고 있다.

여기서는 CMOS 공정의 낮은 항복전압을 트랜지스터를 쌓아 올리는 ‘stacked 구조’를 이용하여 극복하였고, 나아가 고출력의 전력증폭기를 지향하였다.

이 논문에서는 기본적인 Class-F급 전력증폭기 이론을 기반으로 광대역에서 고출력 고효율을 지향하는 ‘Continuous class-F’의 전력증폭기를 설계하기 위한 방식을 제시해본다. 다시 말해 Fundamental은 물론, 2, 3차 임피던스 컨트롤과 함께 전압 파형 엔지니어링을 통하여 구현 가능한 출력 매칭 네트워크를 제시해 보였고 이러한 방법은 높은 출력을 갖는 다양한 소자의 전력 증폭기에 적용이 가능하리라 여겨진다.

주요어 : 전력 증폭기, 광대역 특성, 고효율 특성, Continuous Class-F, Stacked 구조, 0.11  $\mu\text{m}$ , CMOS, WCDMA

학 번 : 2011 - 20782

## 목 차

제 1장 서론.....	7
제 2장 광대역 전력 증폭기.....	8
2.1. stacked 전력증폭기 .....	8
2.1.1 Basic operation .....	9
2.1.2 설계한 stacked 구조.....	11
2.2. Continuous class-F 전력 증폭기 .....	12
2.2.1 표준 Class-F 전력 증폭기.....	12
2.2.2 Extended class-F .....	13
2.2.3 Design space for Continuous class-F.....	16
2.3. 출력 정합 회로.....	18
2.3.1 기존 구조의 한계 .....	18
2.3.2 제안된 구조.....	20
제 3 장 설계 및 시뮬레이션 .....	23
3.1. 전체 회로 구성.....	23
3.2. Layout Issue.....	25
3.2.1 stacked 구조에서 transistor의 Gate capacitance의 영향.....	25

3.2.2 최종 Layout 구조.....	27
3.3. Simulation Results .....	28
3.3.1 Continuous wave simulation.....	28
3.3.2 2-Tone simulation .....	31
제 4 장 측정 결과.....	33
4.1. S-parameter .....	34
4.2. 1-Tone/WCDMA measurements .....	35
4.2.1 Measurement setup.....	35
4.2.2 Continuous wave Measurements .....	36
4.2.3 WCDMA Measurements.....	38
4.3. Comparison with other work.....	40
제 5 장 결 론 .....	42
참고문헌 .....	43
ABSTRACT .....	46

## 그림 목차

그림 1	외부 게이트 커패시터로 인한 stacked-FET의 소스 입력 임피던스 ..	10
그림 2	설계한 stacked-FET 구조 .....	11
그림 3	이론적인 continuous class-F 의 전류 및 전압 파형 .....	14
그림 4	스미스 차트 상의 continuous class-F 의 harmonic 임피던스....	15
그림 5	$\beta = \alpha/2$ 와 $\gamma = 0$ 일 때, $\alpha$ 에 따른 출력 전력과 효율	16
그림 6	$\alpha$ 와 $\beta$ 에 따른 드레인 효율 ( $\gamma = 0$ ) .....	17
그림 7	fundamental frequency의 임피던스 컨트롤.....	20
그림 8	출력 매칭 네트워크 구성도 .....	21
그림 9	스미스 차트상의 Fundamental과 고차 harmonic 임피던스.....	21
그림 10	single stage 4-stacked PA의 회로 schematic.....	24
그림 11	4-stacked 전력증폭기에서 각 트랜지스터의 소스 임피던스.....	25
그림 12	최종 Layout 결과 .....	27
그림 13	2GHz에서의 1-Tone 시뮬레이션 결과.....	29
그림 14	주파수에 따른 출력 전력과 효율 비교 .....	30
그림 15	W-CDMA Band 1 [1.95 GHz]의 시뮬레이션 결과..	31
그림 16	Die Microphotograph.....	33

그림 17 S11와 S21의 측정 결과.....	34
그림 18 측정을 위한 기기 구성 .....	35
그림 19 1.9 GHz에서의 continuous wave 측정 결과 .....	36
그림 20 전력 증폭기의 광대역 특성 측정 결과 .....	37
그림 21 WCDMA 입력에 대한 ACLR 과 PAE, DE 측정 결과 (1.87 GHz)..	38
표 1 3G 대역에 따른 ACLR 측정 비교.....	39
표 2 최근 관련 연구 결과 비교 .....	40



## 제 1 장 서론

다양한 무선서비스를 하나의 단말기로 처리하고자 하는 다중대역 다중모드 단말기 개발의 필요성이 증대되고 있다. 많은 표준화 노력에도 불구하고 세계 각국에서 사용되는 통신방식은 통일되지 못하였고 사용하는 주파수 대역 또한 다르다. 오늘날 무선 이동 통신 기술이 WCDMA 를 거쳐 LTE 로 진화함에 따라, 고속의 데이터 전송을 위해 OFDM 등과 같은 PAPR 이 큰 변조 방식의 사용으로 인해 고효율 · 고출력의 전력 증폭기 구현에 어려움을 겪고 있다.

여기서는 앞서 말한 CMOS 공정의 낮은 항복전압을 트랜지스터를 쌓아 올리는 'stacked 구조' 를 이용하여 극복하였고, 나아가 고효율 고효율의 전력증폭기를 지향하였다 [1], [2], [3].

더불어, 기본적인 Class-F 급 전력증폭기 이론을 기반으로 임의의 대역과 대역폭에서 고효율 · 고효율을 지향하는 'Continuous class - F' 의 전력증폭기를 설계하기 위한 방식을 제시하였다.

최종적으로 위의 전력 증폭기 구현을 CMOS 공정을 기반으로 함으로써 보다 가격 경쟁력 있는 전력 증폭기의 구현이 가능하리라 본다.

## 제 2 장 광대역 전력 증폭기

### 2.1. stacked 전력증폭기

CMOS 공정의 경우 저렴하고 집적도가 높다는 이점으로 인해 송수신기를 하나의 칩에 담을 수 있는 'One-chip solution' 을 가능케 한다.

하나, CMOS 는 게이트 산화물(gate oxide)의 breakdown, 핫 캐리어 열화(hot carrier degradation) 그리고 punch through 현상으로 인해, 높은 어깨전압( $V_{knee}$ )과 낮은 항복전압의 특성을 가지게 되고, 이는 고출력 · 고효율 전력 증폭기 구현에 어려움을 주게 된다 [4], [5]. 더불어, 고출력을 위하여 트랜지스터의 사이즈를 늘리게 되면, 입력과 출력의 임피던스 비가 커지게 되어 매칭 네트워크에서 생기는 손실(loss) 과 대역폭 제한의 부담이 생기게 된다.

이러한 드레인-게이트, 게이트-소스 그리고 드레인-소스의 낮은 항복전압을 극복하고 low-Q 매칭 네트워크를 구현할 수 있는 새로운 전력증폭기의 구조가 필요로 하게 된다 [6].

이 논문에서는 트랜지스터를 쌓아 올리는 'stacked 구조' 를 이용함으로써 고출력 · 고효율 전력증폭기를 구현하였다.

### 2.1.1 Basic operation

이 논문에서의 전력 증폭기 구조는 하나의 입력 공통소스와 세 개의 stacked 트랜지스터를 연달아 연결하고 각각의 출력 swing 들이 동시에 동작하도록 구현하였다.

공통 게이트 트랜지스터의 입력을 RF-ground 로 처리하는 캐스코드 구조와 달리, 각 stacked 트랜지스터의 게이트에 적절한 외부 커패시터를 달아 커패시터 전압 분배를 통하여 동일한 각각의 트랜지스터의 게이트-소스 그리고 드레인-소스간의 RF swing 을 만들어 내었다. 이것은 구조적으로 캐스코드의 공통 게이트에서 생기는 게이트-드레인 항복전압 문제점을 해결할 수 있고 높은 드레인 전압을 사용할 수 있게 된다 [6].

그림 1 의 간단한 등가모델에서  $r_0$  가 굉장히 크고 게이트에 외부 커패시터를 위치하였을 때, stacked 트랜지스터의 소스 입력 임피던스  $Z_{si}$  는 다음과 같이 정의 된다.

$$Z_{si} = \left(1 + \frac{C_{gs}}{C_i}\right) \cdot \left(\frac{1}{g_m} \parallel \frac{1}{sC_{gs}}\right)$$
$$\approx \left(1 + \frac{C_{gs}}{C_i}\right) \cdot \frac{1}{g_m}, \quad \text{for } f_0 \ll F_t.$$

저주파 대역에서 stacked 트랜지스터들의 소스 입력 임피던스는 실수부로 보이게 되고 같은 전류 swing 을 서로 공유하게 된다. 그리고 각 소스 입력 임피던스의  $Z_{s2}$ ,  $Z_{s3}$  그리고  $Z_{s4}$  는 각 트랜지스터의  $R_{opt}$ ,  $2R_{opt}$  그리고  $3R_{opt}$ 에 해당하게 된다. 따라서, 이 논문에서는 최종 출력 로드 임피던스는  $4R_{opt}$ 이 된다.

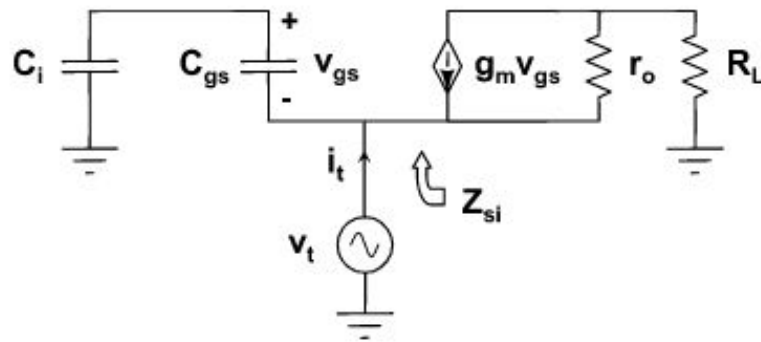


그림 1. 외부 게이트 커패시터로 인한 stacked-FET의 소스 입력 임피던스

이는 같은 출력 파워와 dc 파워 선상에서 게이트 사이즈를  $n$  배로 늘린  $n$ -parallel FET 과 비교를 할 경우,  $n$  배의 높은 전압 과 전력 이득을 가질 수 있고 출력 로드 임피던스는  $n^2$  배 커질 수 있어 입력과 출력의 대역폭과 매칭 네트워크에서의 손실 측면에서 큰 장점을 가질 수 있다.

### 2.1.2 설계한 stacked 구조

이 논문에서는  $0.11\mu\text{m}$  의  $1.2\text{ V}$  의 표준 CMOS 공정을 이용하였고 각 stacked 트랜지스터의 드레인-소스, 게이트-소스의 swing 을 동일하게 가져가기 위하여 각 게이트 전압 ( $V_{g2}$ ,  $V_{g3}$ ,  $V_{g4}$  ) 과 외부 커패시터 ( $C_2$ ,  $C_3$ ,  $C_4$  ) 를 최적화 하였다. 특히, 스위칭 전력 증폭기에서 이용하였던 'Miller cap compensation' 방법을 적용시켜 각 드레인-소스의 전압 swing 을 동위상에 위치하여 효율을 증진 시켰다 [7], [8].

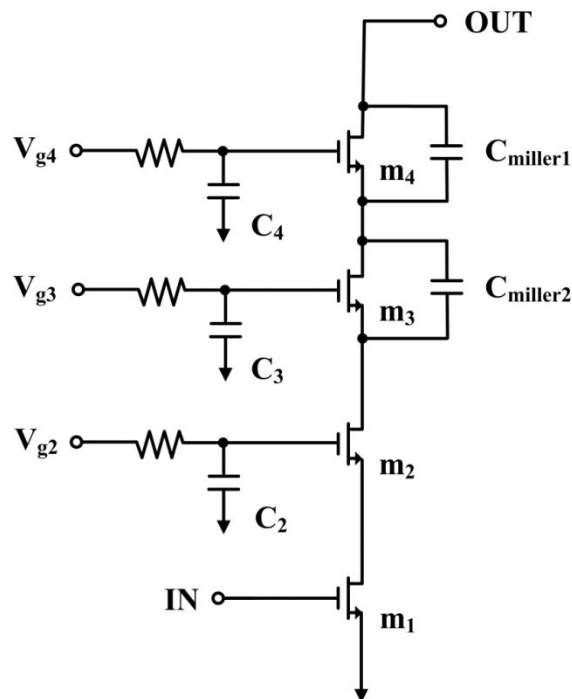


그림 2. 설계한 stacked-FET 구조

## 2.2. Continuous class-F 전력 증폭기

### 2.2.1 표준 Class-F 전력 증폭기

이상적인 class-F 전력증폭기는 반파 정류 sinusoidal 의 전류 파형과 함께 오직 fundamental 과 고차 odd harmonic 성분들만 포함하는 구형파의 전압 파형을 구현하게 된다.

이러한 파형은 수식적으로 다음과 같이 표현된다 [9], [10].

$$v_D(\theta) = V_{DC} - V_1 \cos(\theta) - V_3 \cos(3\theta) - V_5 \cos(5\theta) - \dots$$

$$i_D(\theta) = I_{\text{peak}} \cos(\theta) \quad \text{for } -\frac{\pi}{2} < \theta < \frac{\pi}{2}$$
$$= 0 \quad \text{for } -\pi < \theta < -\frac{\pi}{2}, \quad \frac{\pi}{2} < \theta < \pi$$

무한 고차 harmonic 성분들까지 고려를 하게 된다면, 이론적으로 100 %의 효율을 가질 수 있고 전압의 고차 3rd harmonic 까지만 고려를 하게 되면 효율은 90.7 % 로 줄어들게 된다.

반파 sinusoidal 전류는 class-B 급에 가까운 DC 게이트 바이어스로 만들어지게 되고, 전압 파형은 passive output network 를 통해 even harmonic 은 short 시켜 전압파형에 영향을 미치지 않도록 구현이 되곤 한다. 허나, 이러한 과정에서 Quarter-wave 전송선로나 병렬 resonator 를 쓰게 됨으로써 동작 주파수 대역에 제한을 주게 된다.

### 2.2.2 Extended class-F

최근 연구 논문들을 보면, 공진기를 이용하여 3rd harmonic 을 open 으로 위치하고 2nd harmonic 을 short 로 가져가는 것이 오직 고출력 · 고효율로 가는 길은 아님을 밝혔다 [11], [12], [13].

전력 증폭기의 드레인 단에서의 전압파형의 일반적인 표현은 다음과 같다 [14].

$$v(\theta) = (1 - \alpha \cos \theta)^2 \cdot (1 + \beta \cos \theta) \cdot (1 - \gamma \sin \theta)$$

여기서 세 가지의 파라미터  $\alpha, \beta, \gamma$  는 design space 를 뜻하며, 전력증폭기의 고효율과 선형성을 갖기 위해서 모든  $\theta$ 에 대해서  $V(\theta) \geq 0$  (더 정확히는  $V(\theta) \geq V_{\text{knee}}$ ) 이어야 한다.

위의 전압표현 수식을 좀 더 정리하여 늘려보면,

$$\begin{aligned} v(\theta) = & V_{\text{DC}} - A_1 \cos(\theta) - A_2 \cos(2\theta) - A_3 \cos(3\theta) + B_1 \sin(\theta) + B_2 \sin(2\theta) \\ & + B_3 \sin(3\theta) + B_4 \sin(4\theta) \end{aligned}$$

와 같이 표현이 된다. 여기서  $V_{\text{DC}}$  는 공급되는 DC 전압을 나타내며,  $A_1, A_2, A_3$  는 fundamental, 2nd 그리고 3rd harmonic 임피던스의 실수부 그리고  $B_1, B_2, B_3, B_4$  는 각 harmonic 임피던스의 허수부를 뜻하게 된다.

각 harmonic 임피던스의 실수부와 허수부를  $V_{\text{DC}}$  에 대하여 normalized 하게 되면 각  $A_i, B_i$  는 다음과 같이 정의된다.

$$V_{DC} = 1 + \frac{1}{2}\alpha^2 - \alpha\beta$$

$$A_1 = 2\alpha - \beta - \frac{3}{4}\alpha^2\beta, \quad A_2 = \alpha\beta - \frac{1}{2}\alpha^2, \quad A_3 = -\frac{1}{4}\alpha^2\beta$$

$$B_1 = \gamma\left(\frac{1}{2}\alpha\beta - 1 - \frac{1}{4}\alpha^2\right), \quad B_2 = \gamma\left(\alpha - \frac{1}{2}\beta - \frac{1}{4}\alpha^2\beta\right),$$

$$B_3 = \gamma\left(\frac{1}{2}\alpha\beta - \frac{1}{4}\alpha^2\right), \quad B_4 = -\frac{1}{8}\gamma\alpha^2\beta$$

이론적으로 최고의 드레인 효율의 continuous class-F 급 전력증폭기를 구현하기 위해서는 2nd harmonic 임피던스를 리액티브 성분만을 유지하고 ( $A_2 = 0$ ), 그에 대한 fundamental 전압 성분의 변곡점을 찾게 되면  $\alpha, \beta$ 의 값을 찾을 수 있다.

$$\beta = \alpha/2, \quad \alpha = 2/\sqrt{3}$$

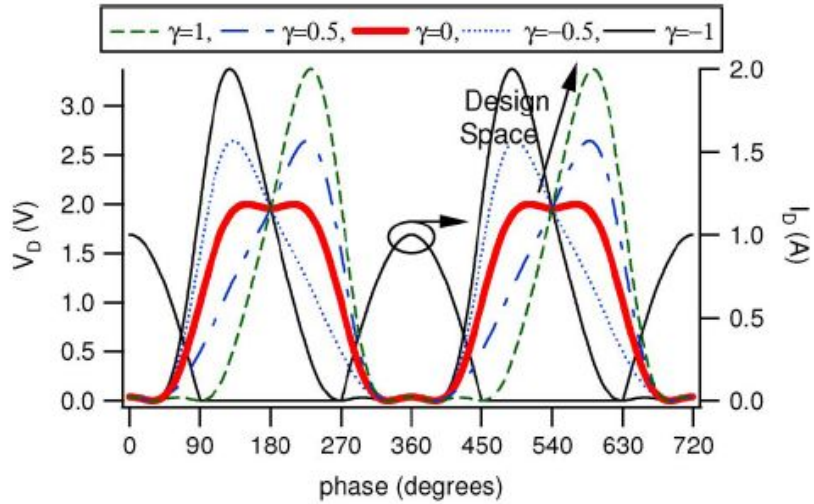


그림 3. 이론적인 continuous class-F 의 전류 및 전압 파형 ( $-1 \leq \gamma \leq 1$ )



고정된  $\alpha$ ,  $\beta$  값을 유지하면, continuous class-F 를 만족하기 위한 변수는  $\gamma$  가 되고 일종의 '주파수 범위' 로 생각하면 된다.

$$-1 \leq \gamma \leq 1$$

그림 3 에서 볼 수 있듯이,  $\gamma$  이 변하면서 새로운 그룹의 전압과 전류 파형을 볼 수 있지만, 이는 class-F 의 출력과 효율을 유지할 수 있게 한다.

더불어, 이를 스미스 차트상에서의 fundamental 과 harmonic 임피던스의 위치 (3rd harmonic 임피던스 까지 고려) 로 살펴보면 fundamental 은 constant resistance circle 를 따라가면서 2nd harmonic 의 경우는 실제로 정확히 short 에 위치하지 않아도 되면서 새로운 'design space' 를 주게 된다.

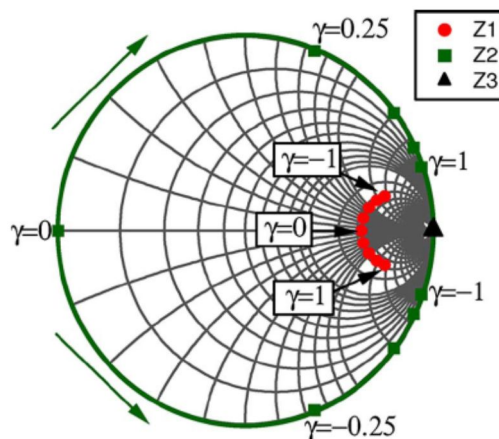


그림 4. 스미스 차트 상의 continuous class-F 의 harmonic 임피던스

### 2.2.3 Design space for Continuous class-F

이전에  $\beta = \alpha/2$ ,  $\alpha = 2/\sqrt{3}$  을 만족하면서  $\gamma$  가 변하게 되어도 2nd harmonic 을 short 에 위치시키지 않고 reactive 성분을 유지하게 되면 이론적으로 90.7% 의 class-F 의 효율 (3rd harmonic 까지만 고려하였으므로) 을 유지할 수 있는 'design space'를 알게 되었다.

2nd harmonic 임피던스를 reactive 성분만을 가지도록 하고 fundamental 의 실수부에 design space 를 주면서 효율을 관찰해 보았다.  $\alpha$  가  $\frac{2}{\sqrt{3}}$  이 아닌 0.75 와 1.5 사이의 다른 값을 가져도 효율이 75% 이상을 가지는 것을 확인하였다. 이것은 주파수 범위 내에서 ( $-1 \leq \gamma \leq 1$ ) 모두 적용되어 같은 결과를 가진다.

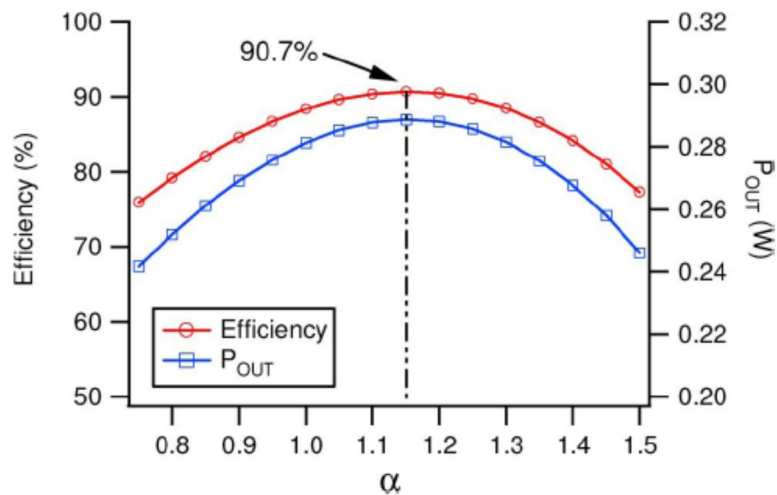


그림 5.  $\beta = \alpha/2$  와  $\gamma = 0$ 일 때,  $\alpha$ 에 따른 출력 전력과 효율

이번엔 2nd harmonic의 실수부를 가지고 fundamental 의 실수부 변화를 가졌을 때 효율변화를 관찰해 보았다.

$\beta > \frac{\alpha}{2}$  가 되면서 그림 6에서 볼 수 있듯이, 증폭기의 효율이 75%을 넘을 수 있는 주파수 대역폭 ( $\gamma$ )과 fundamental의 실수부 ( $\alpha$ )의 변화 폭이 줄어들게 된다.

하지만, 이론적으로  $\beta = \frac{\alpha}{1.6}$  만 되어도 75% 이상의 효율을 갖고 대역폭이 50% 되는 광대역 특성을 보여주며, 이것은 설계자에게 큰 design space 가 된다.

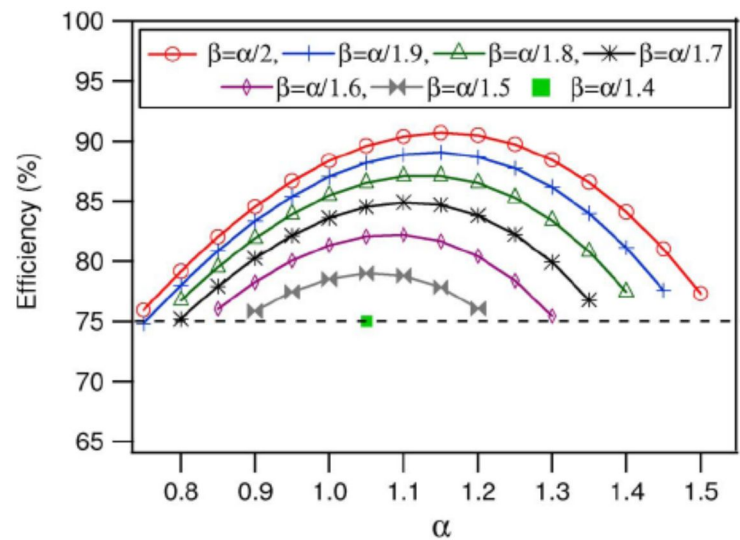


그림 6.  $\alpha$ 와  $\beta$ 에 따른 드레인 효율 ( $\gamma = 0$ )

## 2.3. 출력 정합 회로

### 2.3.1 기존 구조의 한계

전력증폭기의 핵심은 출력 정합 회로 설계에 있다. 우리는 전압 파형 엔지니어링을 통하여 Continuous class-F의 design space를 알게 되었다.

하지만, device의 출력 커패시턴스를 고려하지 않고 load-pull 장비를 사용하여 측정결과를 보여주었으며 실질적인 출력 정합 회로 설계에 대하여 가이드를 보이지 않았다 [13].

다른 논문에서는 device의 비선형 출력 커패시턴스를 고려하여 출력 정합회로를 설계하여 continuous class-F 전력증폭기를 구현하였지만, SRFT(Simplified real frequency technique) synthesis algorithm을 이용한 출력 정합회로는 독자들로 하여금 쉽게 이해되진 않는다 [14].

더불어, 두 논문 모두 handset용이 아닌 중계기용으로서 GaN device 공정을 통하여 구현 함으로써, low-voltage의 CMOS 공정에 적용하기 어렵다.

다른 CMOS 공정을 이용한 고출력 전력증폭기들의 경우에는 트랜스포머에서 생기는 손실(Loss)로 인하여 효율과 출력전력의 감쇠가 생기고

등가의  $L_s$  값이 증가하여 대역폭이 줄어들어, 원하는 광대역 특성을 얻기 위해서는 소 출력의 전력 증폭기가 될 수 밖에 없다.

반면 저자가 전개한 출력 정합 회로를 통한 광대역 전력 증폭기의 경우, 원하는 출력과 효율을 가지는 전력 증폭기를 설계할 수 있다.

### 2.3. 2 제안된 구조

본 논문에서의 전력증폭기는 2 GHz를 중심으로 600 MHz의 대역폭 (30% Bandwidth)을 목표로 설계하였다.

1.7 GHz 에서 2.3 GHz까지, 각 fundamental 주파수에 해당하는 Load impedance를 Optimum impedance로 가져가기 위하여 그림 7과 같이 병렬 커패시터와 직렬 라인(TL2) 을 이용 하였다.

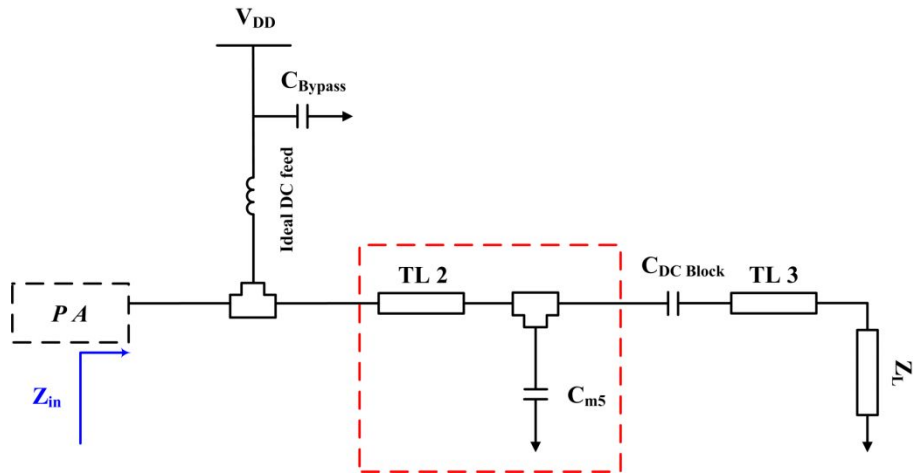


그림 7. fundamental frequency의 임피던스 컨트롤

병렬 커패시터와 직렬 라인은 고차 harmonic 임피던스를 open으로 가져가게 되고, 여기서 그림 8과 같이 추가적인 병렬 커패시터와 short stub(TL1) 을 달아 줌으로써 2차 harmonic 임피던스를 최대한 낮게 가져가고 3차 harmonic은 open으로 보이게끔 형성하여 Extended

Class-F의 출력 매칭 네트워크를 구성해 보았다.

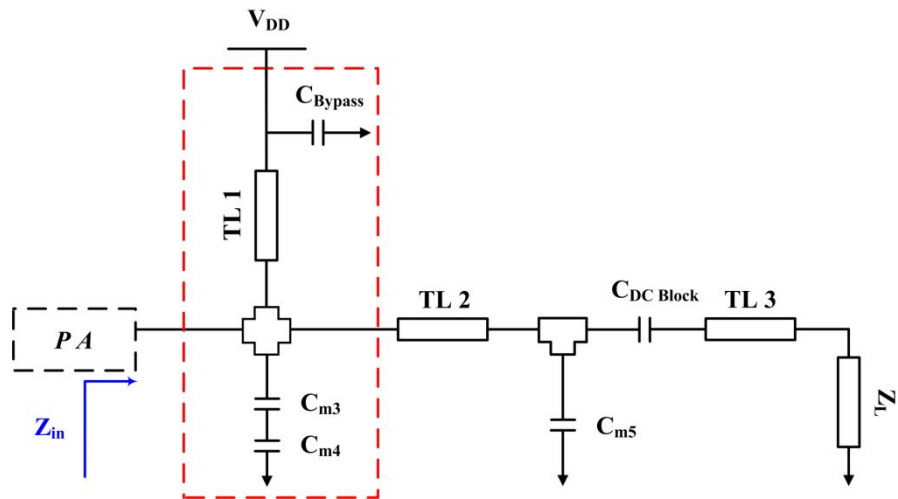


그림 8. 출력 매칭 네트워크 구성도

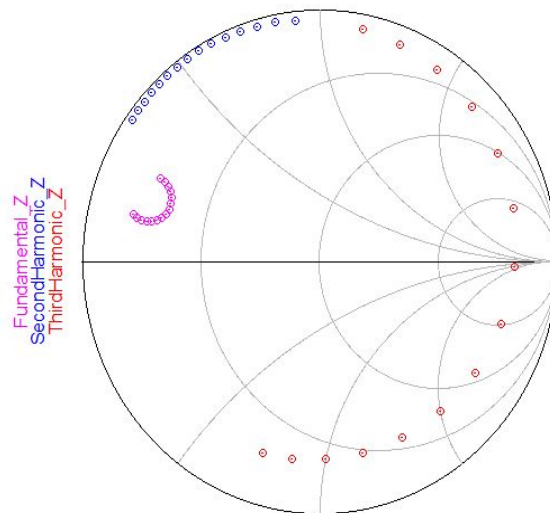


그림 9. 스미스 차트상의 Fundamental과 고차 harmonic 임피던스

스미스 차트 상의 각 fundamental 과 그에 해당하는 고차 harmonic  
임피던스 (2차, 3차) 궤적은 그림 9와 같다.

대역폭내의 fundamental 임피던스의 실수부는  $7 \sim 10\Omega$ 으로 모이게 되  
고 2차 harmonic 임피던스는 대략  $0.6 + j24.4\Omega$  그리고 3차 harmonic  
임피던스는  $497.8 - j67.4\Omega$ 을 중심으로 형성하게 된다.



## 제 3 장 설계 및 시뮬레이션

### 3.1. 전체 회로 구성

본 논문에서는  $0.11\ \mu\text{m}$ 의  $1.2\text{V}$  트랜지스터를 이용하여 single stage의 4-stacked 전력 증폭기를 설계하였다.

고출력과 고효율의 성능을 가지기 위하여, Load-pull 시뮬레이션을 거쳐 각 트랜지스터의 게이트 사이즈를  $5.76\ \text{mm}$  으로 결정하였다. 따라서 전체 트랜지스터 사이즈는 대략  $23\ \text{mm}$ 로 된다.

트랜지스터의 breakdown을 고려하여 드레인의 바이어스와 트랜지스터의 Deep N well 전압은  $5\ \text{V}$ 로 하였고, 최종 드레인의 최대 스윙은  $11\ \text{V}$ 이 된다.

그림 10을 보면, 외부 출력 매칭 네트워크의 DC 블록 커패시터는  $68\ \text{pF}$  그리고 게이트 바이어스  $10\ \text{k}\Omega$ 의 on-chip 저항을 거쳐 외부 저항 디바이더를 통해서 공급이 된다.

최종 출력 로드 임피던스의 실수부는 대략  $10\ \Omega$ 으로, 앞서 말했듯이  $50\ \Omega$ 으로 가져가는 데 low-Q 매칭으로 보다 넓은 대역폭을 가질 수 있게 된다.

입력 매칭 네트워크의 경우에는 on-chip으로, 하나씩의 직렬 커패시터

외부 출력 매칭 네트워크는 두께 0.4 T의 FR-4 substrate 기판을 사용하였으며, 바이패스 커패시터는 저주파 발진과 정확한 even harmonic short를 위하여 10  $\mu$ F, 220 pF 그리고 33 pF을 차례로 달았다.



## 3.2. Layout Issue

### 3.2.1 stacked 구조에서 transistor의 Gate capacitance의 영향

MOSFET의 current gain과 power gain의 지표를 나타내는 cutoff frequency ( $f_T$ )와 maximum oscillation frequency ( $f_{max}$ )의 수식을 살펴보면 다음과 같다.

$$f_T = \frac{g_m}{2\pi C_{gg}} \quad (C_{gg} : \text{total gate capacitance})$$

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_g C_{gd}}} \quad (R_g : \text{gate resistance})$$

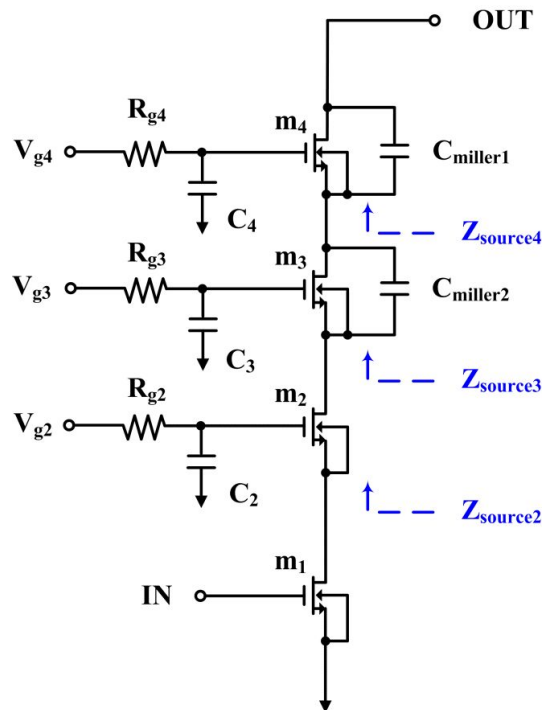


그림 11. 4-stacked 전력증폭기에서 각 트랜지스터의 소스 임피던스

이 수식이 의미하는 것은 트랜지스터의 게이트 커패시턴스 중에, 특히 게이트-드레인 커패시턴스는 전력증폭기의 이득에 직접적으로 영향을 끼친다는 점이다.

더불어, 게이트-드레인 커패시턴스가 증가하게 되면, 출력으로부터 신호가 흘러 들어오는 Feedback Loop가 생겨 발진의 위험성도 있다.

중요한 것은, 트랜지스터가 쏘이게 되면서 위 트랜지스터의 source쪽으로 보이는 커패시턴스 성분으로 인하여 상당량의 전류가 빠져나가는 것이다. 이것은 또한  $Z_{opt}$  (optimum impedance)와 소스 임피던스의 부정합 되면서, 전체 증폭기의 이득에 영향을 미치게 된다.

따라서 트랜지스터의 레이아웃을 할 시에, 위와 같은 사실들을 고려하여 최대한 게이트-드레인 커패시턴스를 줄이려 하였다.

### 3.2.2 최종 Layout 구조

앞선 고찰을 바탕으로 각 트랜지스터의 드레인과 게이트 사이의 커패시턴스를 최대한 줄이도록 layout을 진행하였으며, 출력 전력이 상승하였을 때의 드레인 전류를 고려하기 위하여 드레인의 Metal width를 넓게 가져왔다.

더불어, 고출력일 경우 Deep N well과 Body 사이에 존재하는 Diode 커패시터를 통하여 Deep N well Biasing이 흔들리는 것을 방지 하기 위하여 내부적으로 저항( $10\text{ k}\Omega$ ) 을 달아 주었다.

최종 layout 결과는 그림 12와 같고 면적은  $2.3 \text{ mm} \times 1.14 \text{ mm}$  이 된다.

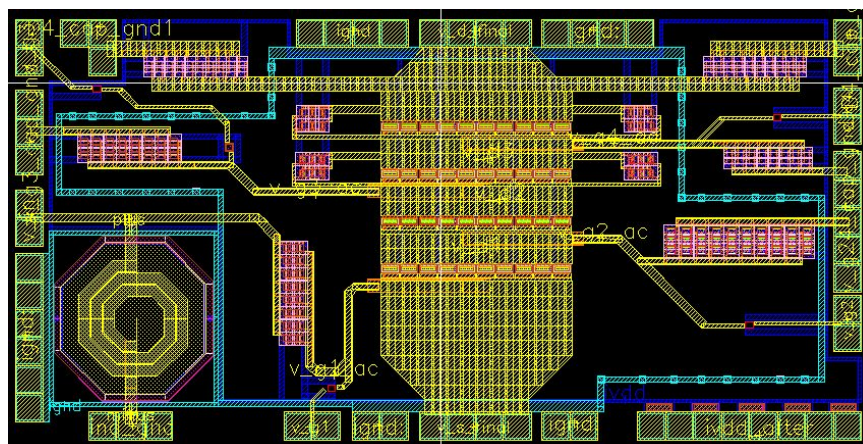


그림 12. 최종 Layout 결과

### 3.3. Simulation Results

#### 3.3.1 Continuous wave simulation

전력 증폭기에서 게이트 바이어스는 이득, 효율 그리고 선형성 측면에서 매우 중요한 요소이다. 특히, 본 논문에서의 4-stacked 전력증폭기 구조에서는 최종 하단 트랜지스터의 게이트 바이어스가 많은 영향을 끼치게 된다.

따라서, 선형성과 효율을 고려하여 게이트 바이어스의 경우에는 0.29 V 로 정하였고 드레인의 DC 전류는 약 25 mA가 흐르게 된다. 또한, 최대 출력 전력 시에 각 트랜지스터의 드레인과 소스 그리고 게이트와 드레인 간의 전압 스윙은 최대 3.5 V 까지 내도록 설계하였다.

우선 중심주파수인 2 GHz 에서 Continuous wave 시뮬레이션 결과는 그림 13과 같다.

드레인 바이어스 전압 5 V을 걸어주게 되었을 때, 포화 출력 전력은 약 29.5 dBm 으로 최대 이득은 10.249 dB 를 보여주게 된다. 이득 그래프는 High power level에서 shooting 하는 모습을 그려주면서 최대한 1 dB compression point와 그에 대한 효율을 증가 시켰다.

최대 PAE와 DE는 47.309 % 와 54.119 %를 나타내고 있으며, 1 dB

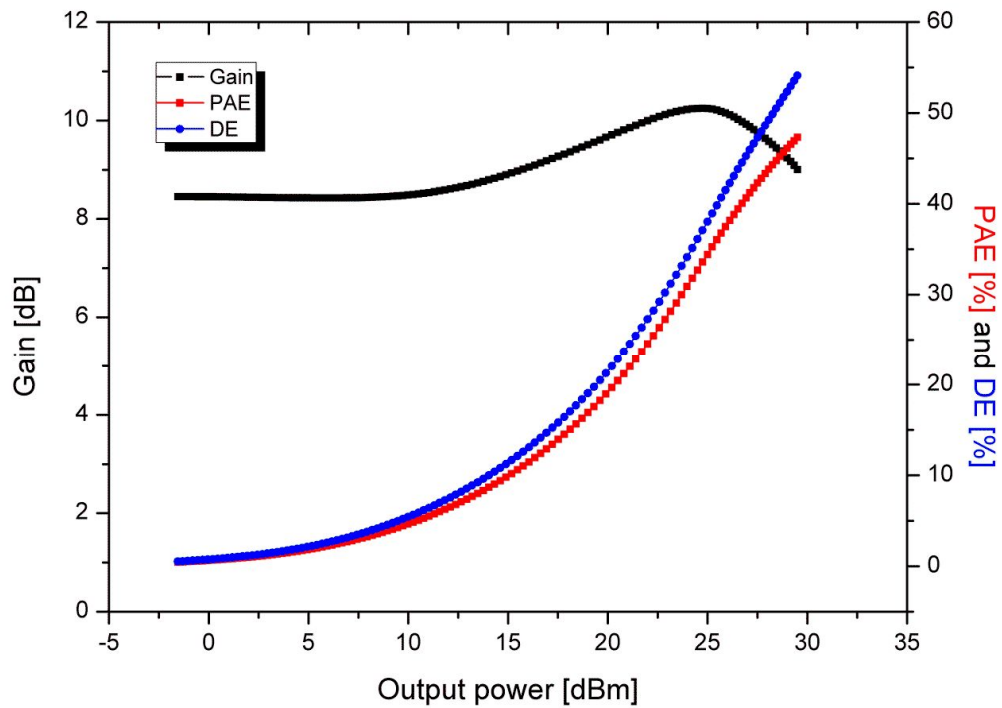


그림 13. 2GHz에서의 1-Tone 시뮬레이션 결과

compression point는 약 29 dBm 을 보이고 있다. 1 dB compression point 에서의 PAE 와 DE는 약 46 % 와 52.334 %를 가진다.

더불어, 27 dBm 이상의 1 dB compression point와 45% 이상의 max PAE를 갖는 대역폭은 중심주파수 2 GHz 에서 약 600 MHz (30 % Bandwidth) 가 된다. 그림 14 에서의 그래프에서 볼 수 있듯이 결과를 확인할 수 있으며 Lower 나 Upper Edge 주파수 대역에서 전압 파형이 구형파가 아닌 정형파로 바뀌면서 디바이스의 Breakdown에 한계를 가지

게 되고, 이것은 효율과 출력 측면에 영향을 끼치게 된다.

그림 14은 동일한 게이트 바이어스에 입력 전력을 바꾸어 가면서 50 MHz 의 간격으로 시뮬레이션을 진행한 결과가 된다.

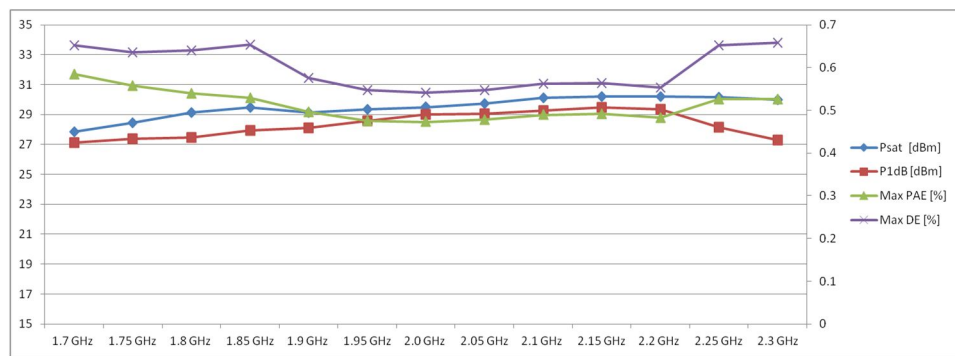


그림 14. 주파수에 따른 출력 전력과 효율 비교



### 3.3. 2 2-Tone simulation

Standard CMOS 공정의 경우, 다른 공정보다 선형성 측면에 있어 불리한 면이 있다.

따라서 Standard CMOS 공정을 이용하여 전력 증폭기를 설계 할 경우, W-CDMA, LTE 와 LTE-A의 선형성을 만족시키기 위한 많은 연구가 있었다 [15], [16].

본 논문에서 설계한 전력 증폭기는 W-CDMA 대역에서 선형성을 확인해 보았다. 그림 15의 경우에는 Band 1 [1.95 GHz]에서의 2-Tone 시뮬레이션 결과이다.

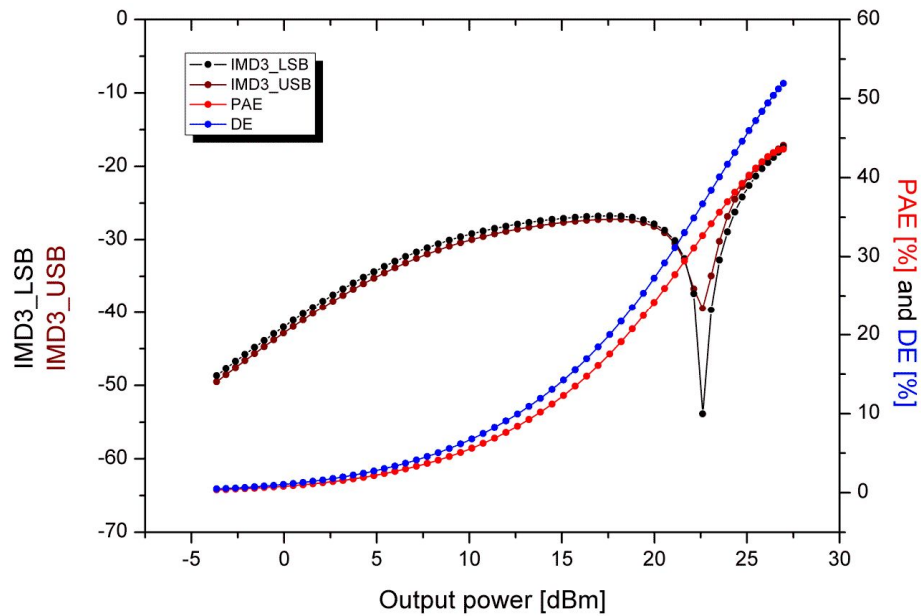


그림 15. W-CDMA Band 1 [1.95 GHz]의 IMD3 특성

3rd order intermodulation 특성이  $-25$  dBc 일 때의 출력 전력은  $24.34$  dBm 그리고 PAE와 DE는 각각  $38.2\%$ 와  $43.2\%$ 를 보여주었다.

실제로, W-CDMA를 적용시키기에는 약간은 부족한 출력이지만 Digital predistortion 이나 다른 여타 기법을 사용한다면 충분히 사용 가능성이 있어 보인다.

## 제 4 장 측정 결과

측정에 앞서, 출력 전력이 올라가면서 많은 전류로 인한 열과 본딩 인덕턴스의 효과를 줄이기 위해 Au 재질의 굵기가 1mil 인 본딩을 한 패드당 여러 가닥을 PCB 와 연결을 하였다. 특히, 민감한 증폭기의 드레인과 소스단의 본딩은 최대한 많은 멀티 본딩으로 처리 하였다.

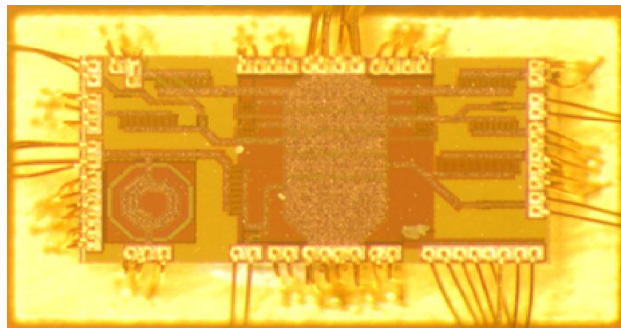


그림 16. Die Microphotograph

34개의 패드가 PCB의 ground와 연결이 되며, 출력 매칭 네트워크를 구현하는 PCB는 유전상수가 4.6이고 두께가 400um 인 FR-4 substrate 기판을 사용하였다.

모든 측정은 PCB connector를 통하여 이루어졌다.

## 4.1. S-parameter

먼저 증폭기의 기본적인 small signal 측정을 진행하였다. 그림 17는 S11과 S21의 Log scale 도표가 된다.

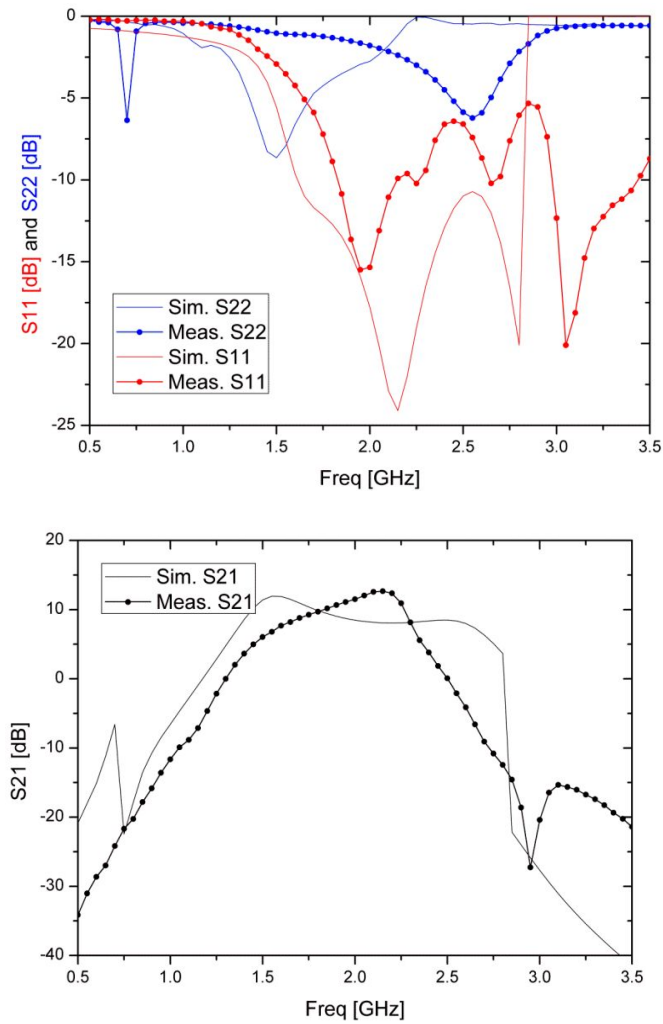


그림 17. S11 / S22와 S21의 측정 결과

1.95 GHz 에서 약  $-23.3$  dB의 S11 특성을 보여 주었으며 1.7 ~ 2.3 GHz 에서는 약  $-5$  dB 이하로 떨어지는 것을 볼 수 있었다.

S21의 경우에는 2 GHz에서 7.5 dB를 보여주며 2.3 GHz에서 최고 15.8 dB를 확인할 수 있다.

S22의 경우에는 0 dB 이하의 특성을 보여주며, S12 는  $-20$  dB 이하로 확인하였다.

## 4.2. 1-Tone / WCDMA measurements

### 4.2.1 Measurement setup

Continuous wave와 WCDMA 3GPP Uplink Signal를 공급하기 위하여 E 4438C의 vector signal generator를 사용하였으며, 그에 대한 정확한 출력 전력을 보기 위하여 E 4417A의 series power meter를 사용하였다.

더불어, 출력 전력의 스펙트럼과 ACLR 측정을 위하여 E 4402B의 Series spectrum Analyzer를 사용하였다.

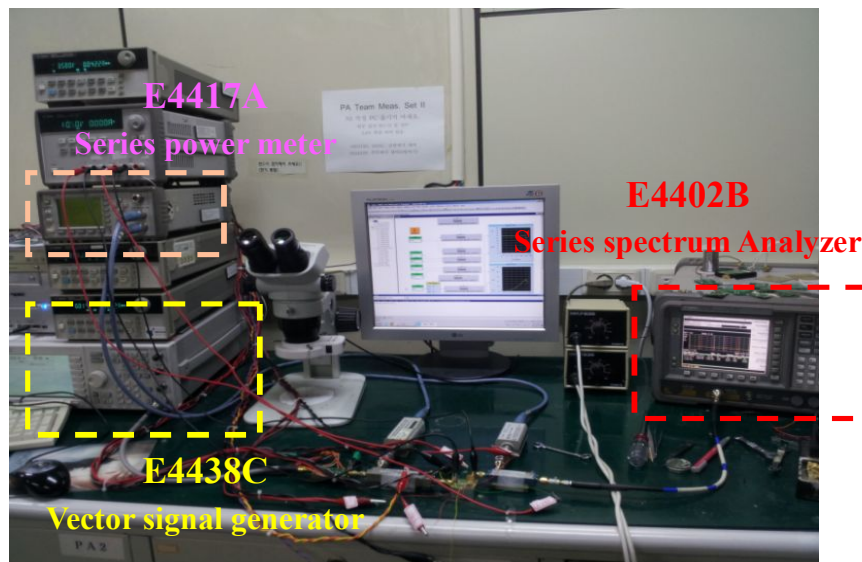


그림 18. 측정을 위한 기기 구성

#### 4.2.2 Continuous wave Measurements

시뮬레이션과 달리 측정에서 중심주파수가 약 100 MHz 이동하여 1.9 GHz에서 형성하는 것을 볼 수 있었다.

게이트 바이어스가 0.25V 일 때의 대기전류는 약 25.3 mA 가 되며 중심 주파수 (1.9 GHz) 에서 continuous wave signal 주입 시의 결과는 그림 19과 같다.

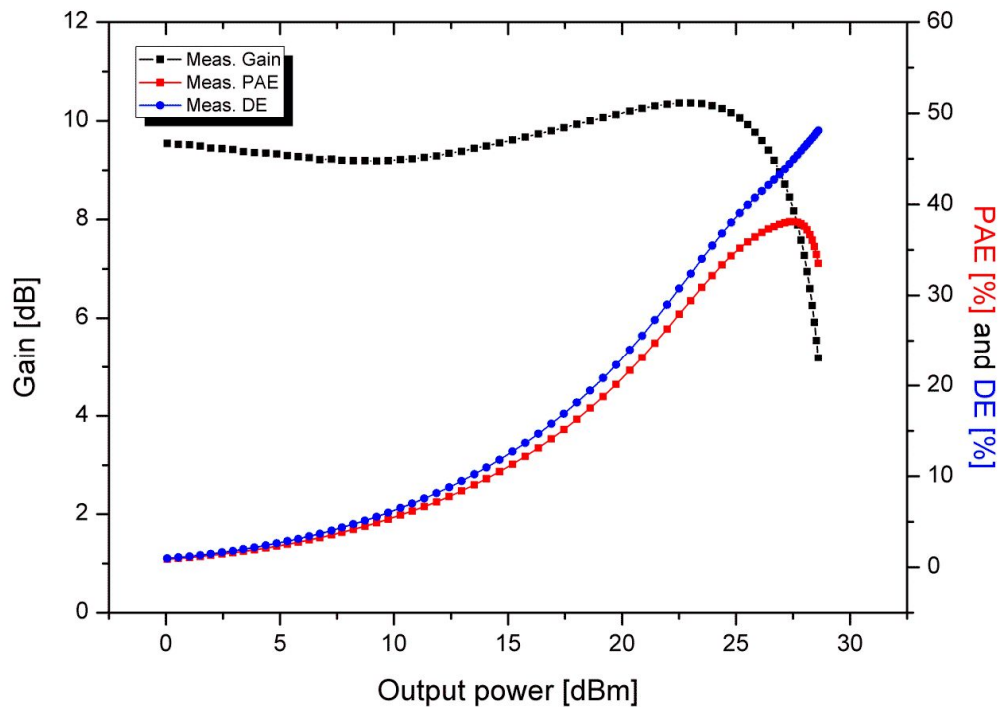


그림 19. 1.9 GHz에서의 continuous wave 측정 결과

중심 주파수에서 포화 출력 전력은 약 29.11 dBm이 되며 최대 이득은 약 10.36 dB 그리고 Max PAE와 Max DE는 각각 38.1 %와 48.12 %가 된다.

1.6 GHz 에서 2.2 GHz 에서의 continuous wave signal에 대한 전력 증폭기의 광대역 특성 측정 결과는 그림 20과 같다.

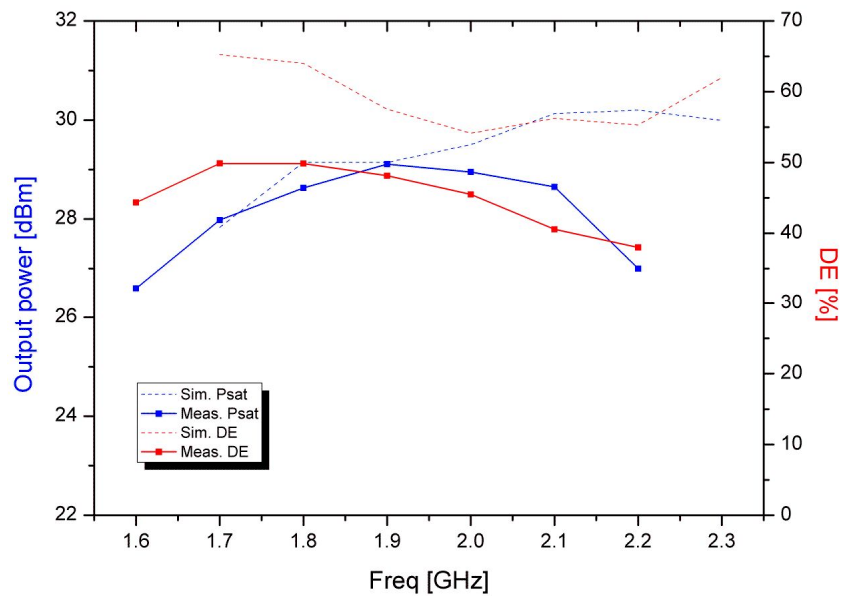


그림 20. 전력 증폭기의 광대역 특성 측정 결과

중심 주파수 (1.9 GHz)에서 600 MHz의 대역폭 내에, 포화 출력전력과 드레인 효율은 26.5 dBm 과 40 % 내외 혹은 그 이상을 보여주고 있다.



### 4.2.3 WCDMA Measurements

위의 대역폭 내에서 3G handset 대역은 TD-SCDMA와 WCDMA 을 포함하여 크게 네 개의 밴드를 찾을 수 있다.

WCDMA Band 2(1.87 GHz)에 대한 ACLR 측정 결과는 다음 그림 21에 해당한다.

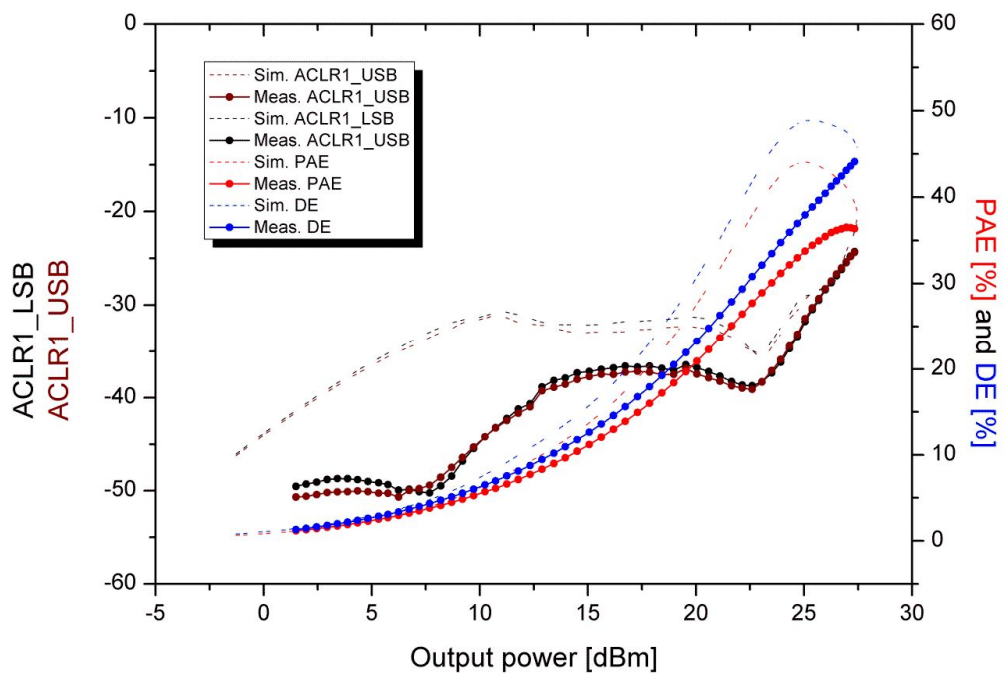


그림 21. WCDMA 입력에 대한 ACLR 과 PAE, DE 측정 결과 (1.87 GHz)

ACLR 측정은 WCDMA Band 2의 중심주파수에 대하여 5, 10-MHz의 offset을 가지게 될 때의 Adjacent / Alternate channel power ratio가 다.

ACLR1 (5 MHz offset) 과 ACLR2 (10 MHz offset)이 각각 -33dBc 와 -45dBc를 만족하게 될 때의 출력 전력과 PAE 그리고 DE는 24.69 dBm 과 32.97 % 그리고 36.93 % 가 된다.

다른 WCDMA Band 와 TD-SCDMA에 대한 ACLR 측정 결과는 하단의 표 1과 같다.

WCDMA Band Measurement (ACLR ~ 33 dBc)			
Band Type	Pout [dBm]	PAE [%]	DE [%]
Band 1	24.0	33.61	37.89
Band 2	24.69	32.97	36.93
Band 3, 9	23.52	32.76	37.73
TD-SCDMA	24.47	32.47	36.44

표 1. 3G 대역에 따른 ACLR 측정 비교

대역폭 내의 WCDMA 와 TD-SCDMA 대역에서 ACLR (-33 dBc)을 만족하는 출력 전력과 드레인 효율은 23.5 dBm 과 35 % 이상을 보여주었다.

### 4.3. Comparison with other work

Reference	Process	PA Topology	Center Frequency (GHz)	Bandwidth (DE > 40%)	Continuous-wave							WCDMA		
					VDD (V)	I <sub>DC</sub> (mA)	Gain (dB)	P <sub>sat</sub> (dBm)	P <sub>1dB</sub> (dBm)	DE (%)	ACLR [dBc]	P <sub>out</sub> [dBm]	PAE [%]	
RFIC 2010 [17]	0.18μm CMOS	2-stage <u>Cascode</u>	1.95	N/A	3.4	143	26	26	25.4	49.4	-33	23.5	40	
MTWCL 2006 [1]	0.25μm SOS MOSFET	1-stage 3-stacked	1.88	N/A	3.9	52	17.1	21	20	PAE 44%	-33	19	30	
MTT 2010 [3]	0.13μm SOI CMOS	1-stage 4-stacked	1.9	300 MHz 16% BW	6.5	54	14.6	31.6	30.8	49	-33	29.4	41.4	
RFIC 2011 [18]	65nm CMOS	2-stage Stacked- <u>Cascode</u> Single-diff.	1.8	500 MHz 27 % BW	3.4	N/A	25	29.4	N/A	PAE 51%	-33	25.4	37.9	
This Work (Simulation)	0.11μm CMOS	1-stage 4-stacked	2	600 MHz 30% BW DE > 38 %	5	25	10.3	29.5	29	54.1	-33	23.7	36.1	
This Work (Measurement)	0.11μm CMOS	1-stage 4-stacked	1.9			25	10.4	29.1	27.1	48.1	-33	24.7	33.0	

표 2. 최근 관련 연구 결과 비교

끝으로, 최근 모바일용 기본적인 cascode 와 stacked 전력증폭기 논문 결과들을 표 2를 통하여 정리 해보았다.

본 연구결과는 항복전압과 선형성 측면에서 우수한 CMOS-SOI 공정의 Stacked 전력 증폭기에 비해 성능이 조금은 뒤쳐지지만 지속적인 연구가 된다면 광대역 내에서 우수한 성능을 가질 수 있으리라 기대된다.

## 제 5 장 결 론

본 논문에서는 다중대역 다중모드 단말기를 지원하기 위하여 광대역 고효율 선형 전력증폭기를 제안하고 설계하였다.

설계한 광대역 전력 증폭기는 기존의 'Class-F' 으로부터 고차 harmonic을 컨트롤 하는 'Continuous class-F' 이론을 Stacked topology를 이용하여 구현화 하였다.

본 논문에서는 0.11 $\mu$ m standard RF CMOS 공정의 1.2V 트랜지스터를 이용하여 4-stacked 전력증폭기를 설계하였다. 측정결과는 설계된 증폭기가 1.9 GHz 를 중심으로 약 600 MHz (30 % Bandwidth) 대역을 가지고 , 포화 출력전력과 드레인 효율이 26.5 dBm과 40 % 내외 혹은 그 이상을 가지는 것을 보여준다.

대역폭 내의 WCDMA 대역 선형성 측정 결과는 시뮬레이션 결과와 근접한 출력전력 23.5 dBm 과 35 % 이상의 드레인 효율을 주었다.

추후에 디바이스의 좀 더 정확한 대 신호 모델링 작업과 선형 기법이 추가 지속 된다면 좀 더 좋은 결과를 얻을 수 있으리라 기대된다.

## 참고문헌

- [1] J. Jeong, S. Pornpromlikit, P. M. Asbeck, and D. Kelly, "A 20 dBm linear RF power amplifier using stacked silicon-on-sapphire MOSFETs," *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 12, pp.684-686, Dec. 2006.
- [2] L.Wu, I. Dettmann, and M. Berroth, "A 900-MHz 29.5-dBm 0.13-um CMOS HiVP power amplifier," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 9, pp. 2040-2045, Sep. 2008.
- [3] S. Pornpromlikit, J. Jeong, C. D. Presti, A. Scuderi, and P. M. Asbeck, "A 33-dBm 1.9-GHz silicon-on-insulator CMOS stacked-FET power amplifier," in *IEEE MTT-S Int. Microw. Symp. Dig.*, Jun. 2009, pp. 533-536.
- [4] T. Sowlati and D. M. W. Leenaerts, "A 2.4-GHz 0.18-um CMOS selfbiased cascode power amplifier," *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1318-1324, Aug. 2003.
- [5] I. Aoki, S. D. Kee, R. Magoon, R. Aparicio, F. Bohn, J. Zachan, G. Hatcher, D. McClymont, and A. Hajimiri, "A fully integrated quad band GSM/GPRS CMOS power amplifier," *IEEE J. Solid-State Circuits*, vol. 43, no. 12, pp. 2747-2758, Dec. 2008.
- [6] A. K. Ezzeddine and H. C. Huang, "The high voltage/high power FET," in *IEEE RFIC Symp. Dig.*, Jun. 2003, pp. 215-218.
- [7] Y. Song, S. Lee, E. Cho, J. Lee, and S. Nam, "A CMOS Class-E power amplifier with voltage stress relief and enhanced efficiency," *IEEE J. Solid-State Circuits*, vol. 58, no. 2, pp. 310-317, Feb. 2010.
- [8] O. Lee, J. Han, K. H. An, D. H. Lee, K.-S. Lee, S. Hong, and C.-H. Lee, "charging acceleration technique for highly efficient cascode class-

- E CMOS power amplifiers,” IEEE J. Solid-State Circuits, vol. 45, no. 10, pp. 2184–2197, Oct. 2010.
- [9] S. C. Cripps, RF Power Amplifier for Wireless Communication, 2nd ed. Norwood, MA: Artech House, 2006.
- [10] F. H. Raab, “Class-F power amplifiers with maximally flat waveforms,” IEEE Trans. Microw. Theory Tech., vol. 45, no. 11, pp. 2007–2012, Nov. 1997.
- [11] V. Carrubba, J. Lees, J. Benedikt, P. J. Tasker, and S. C. Cripps, “A novel highly efficient broadband continuous Class-F RFPA delivering 74% average efficiency for an octave bandwidth,” presented at the IEEE MTT-S Int. Microw. Symp., Jun. 2011.
- [12] V. Carrubba, A. L. Clarke, M. Akmal, J. Lees, J. Benedikt, P. J. Tasker, and S. C. Cripps, “On the extension of the continuous class-F mode power amplifier,” IEEE Trans. Microw. Theory Tech., vol. 59, no. 5, pp. 1294–1303, May 2011.
- [13] N. Tuffy, L. Guan, A. Zhu, T. J. Brazil, “A simplified Broadband Design Methodology for Linearized High-Efficiency Continuous Class-F Power Amplifiers,” IEEE Trans. Microw. Theory Tech., vol. 60, no. 6, pp. 1952–1963, June 2012.
- [14] S. C. Cripps, P. J. Tasker, A. L. Clarke, J. Lees, and J. Benedikt, “On the continuity of high efficiency modes in linear RF power amplifiers,” IEEE Microw. Wireless Compon. Lett., vol. 19, no. 10, pp. 665–667, Oct. 2009.
- [15] C. Wang, M. Vaidyanathan, and L. E. Larson, “A capacitance-compensation technique for improved linearity in CMOS class-AB power amplifiers,” IEEE J. Solid-State Circuits, vol. 39, no. 11, pp. 1927–1937, Nov. 2004.
- [16] B. Koo, Y. Na, and S. Hong, “Integrated bias circuits of RF CMOS cascode power amplifier for linearity enhancement,” IEEE Trans. Microw. Theory Tech., vol. 60, no. 2, pp. 340–351, Feb. 2012.

- [17] H. Jeon, K. L. O. Lee, K. An, Y. Yoon, H. Kim, D. Lee, J. Lee and J. Laskar, "A 40% PAE Linear CMOS Power Amplifier with Feedback Bias Technique for WCDMA Applications," in Radio Freq. Integr. Circuits Symp., 2010 IEEE, 2010, pp. 561–564.
- [18] S. Leuschner, J.-E. Mueller, and H. Klar, "A 1.8 GHz wide-band stacked-cascode CMOS power amplifier for WCDMA application in 65 nm standard CMOS," in IEEE Radio Freq. Integr. Circuit Symp. Dig., Jun. 2011, pp. 1–4.



# **ABSTRACT**

## **A Study on a Broadband and High-Efficient Structure for CMOS RF Linear Power Amplifier**

A single-stage stacked FET linear power amplifier (PA) is demonstrated using 0.11 $\mu$ m standard RF-CMOS technology.

To overcome the low breakdown voltage limit of MOSFETs, a stacked-FET topology is employed, where four transistors are connected in series. Furthermore, to maintain high efficiency throughout the bandwidth, output matching is realized as 'continuous class-F'.

With a 5-V supply, the measured PA achieves a saturated output power of over 26.5 dBm and a DE of around or over 40% from 1.6 GHz to 2.2 GHz. Using an uplink wideband code division multiple access modulated signal, the PA shows an output power of over 23.5 dBm with a DE of over 35 % while meeting the adjacent channel leakage ratio requirement.

Keywords : Power Amplifier(PA), Broadband PA, High Efficient PA,  
Continuous class-F, Stacked-FET, 0.13 $\mu$ m CMOS,  
WCDMA

Student Number : 2011-20782